



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenl gungsschrift**
⑩ **DE 199 22 786 A 1**

⑤1 Int. Cl.7:
G 11 C 29/00

⑦1 Aktenzeichen: 199 22 786.1
⑦2 Anmeldetag: 18. 5. 1999
④3 Offenlegungstag: 7. 12. 2000

DE 199 22 786 A 1

⑦1 Anmelder:
Siemens AG, 80333 München, DE

⑦2 Erfinder:
Daehn, Wilfried, Dr., 81539 München, DE

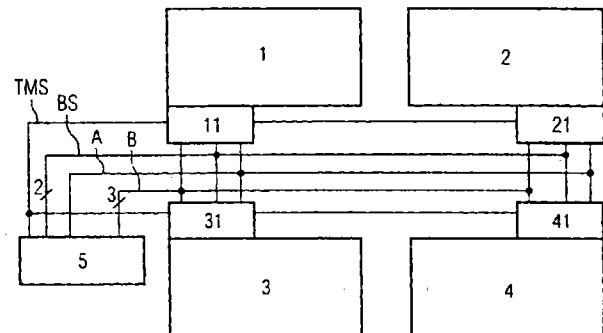
⑤6 Entgegenhaltungen:
DE 198 12 198 A1
DE 197 25 581 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren zum Testen eines Halbleiterspeichers und Halbleiterspeicher mit Testeinrichtung

⑤7 Zum Testen eines Halbleiterspeichers wird eine Bit-Fail-Map erzeugt, indem ein vorgegebener Datenwert (A) in Speicherzellen eingeschrieben und anschließend ausgelesen und mit dem eingeschriebenen Datenwert verglichen wird. Die Bit-Fail-Map wird auf dem Halbleiterspeicher einer anderen (2, 3, 4) als der gerade getesteten (1) Speicherbank zwischengespeichert. Das Testverfahren ist zuverlässiger, da Fehler in verschiedenen Speicherbänken (1, ..., 4) als unabhängig voneinander angesehen werden können. Vorteilhafterweise wird die Bit-Fail-Map dreifach in verschiedenen Speicherbänken (2, 3, 4) abgespeichert und beim Auslesen eine Mehrheitsentscheidung durchgeführt.



DE 199 22 786 A 1

Die Erfindung betrifft ein Verfahren zum Testen eines Halbleiterspeichers, bei dem ein vorgegebener Datenwert in eine Speicherzelle geschrieben, ausgelesen und mit dem ausgelesenen Datenwert verglichen wird, um das Vergleichsergebnis in einem anderen Teil der Speicherzellen für eine spätere Redundanzanalyse zwischenzuspeichern. Die Erfindung betrifft außerdem einen Halbleiterspeicher mit einer Testeinrichtung, die einen solchen Speichertest steuert.

Um die Funktionsfähigkeit eines Halbleiterspeichers nach dessen Herstellung zu überprüfen, werden die einzelnen Speicherzellen getestet. Fehlerhafte Speicherzellen werden anschließend durch redundante Speicherzellen ersetzt, um die volle Funktionsfähigkeit herzustellen. Während des Funktionstests werden die Speicherzellen mit einem vorgegebenen Datenwert beschrieben, welcher anschließend ausgelesen und mit dem vorgegebenen Datenwert verglichen wird. Da die Datenein- und Ausgabebandbreite zwischen Halbleiterchip und Testautomat einen Engpaß darstellt, besteht das Bestreben, daß möglichst viele Testschritte auf dem Halbleiterchip selbst ablaufen, ohne mit dem Testautomaten kommunizieren zu müssen.

In der DE 197 25 581 A1 sind ein Verfahren zum Testen eines Halbleiterspeichers sowie ein entsprechender Halbleiterspeicher beschrieben, bei dem durch Vergleich von eingeschriebenen Daten und Sollwerten für einen ersten Bereich des Speichers eine sogenannte Bit-Fail-Map erstellt wird. Die Bit-Fail-Map wird in bis zu drei Kopien auf dem Halbleiterchip in anderen, noch nicht getesteten Speicherbereichen zwischengespeichert. Beim Auslesen wird ein Vergleich aller drei Kopien jedes der Prüfergebnisse in der Bit-Fail-Map durchgeführt, und derjenige Wert, welcher am häufigsten auftritt, wird weiterverwendet. Mittels einer Redundanzanalyse, in der die Bit-Fail-Map weiterverarbeitet wird, wird ermittelt, welche defekten Speicherzellen durch redundante Speicherzellen zu ersetzen sind, so daß möglichst alle Fehler behoben werden und der Speicher als funktionsfähig festgestellt werden kann.

Die Funktionsfehler eines Halbleiterspeichers treten im allgemeinen nicht gleichmäßig über das Speicherzellenfeld verteilt auf, sondern häufen sich entlang von Spalten oder Zeilen des matrixartigen Speicherzellenfeldes. Wenn beispielsweise ein Defekt in einem Adreßdekoder auftritt, führt dies dazu, daß auf alle Speicherzellen der vom Defekt betroffenen Wortleitungen nicht mehr zugegriffen werden kann. Ist eine der Wortleitungen unterbrochen, ist kein Zugriff mehr auf einen Teil der von dieser Wortleitung angesteuerten Speicherzellen mehr möglich. In entsprechender Weise treten Fehler bei an eine Bitleitung angeschlossenen Speicherzellen auf, wenn die Bitleitung, der der Bitleitung zugeordnete Schreib-/Leseverstärker oder der die Bitleitung dekodierende Teil des Adreßdekoders defekt sind.

Obwohl bei dem in der DE 197 25 581 A1 beschriebenen Verfahren die Bit-Fail-Map in noch ungetesteten Speicherbereichen mehrfach abgelegt wird, besteht trotzdem die Gefahr, daß aufgrund eines längs einer Zeile oder Spalte verlaufenden gleichmäßigen Fehlers mehrere Kopien der Bit-Fail-Map in gleichem Sinne gestört werden. Trotz einer Mehrheitsentscheidung beim Auslesen der Bit-Fail-Map werden unkorrekte Fehlerdaten weiterverarbeitet. Meist wird der Vorrat an redundanten Speicherzellen früher als nötig verbraucht. Andererseits kann es auftreten, daß fehlerhafte Speicherzellen nicht als solche erkannt werden.

Die Aufgabe der Erfindung besteht darin, ein Verfahren zum Testen eines Halbleiterspeichers anzugeben, welches zuverlässigere Testergebnisse liefert. Eine weitere Aufgabe der Erfindung besteht darin, einen entsprechenden Halblei-

terspeicher mit einer den Testablauf steuernden Testeinrichtung anzugeben.

Die Aufgabe betreffend das Verfahren wird durch ein Verfahren gemäß den Merkmalen des Patentanspruchs 1 gelöst.

Die Aufgabe betreffend den Halbleiterspeicher wird durch einen Halbleiterspeicher gemäß den Merkmalen des Patentanspruchs 5 gelöst.

Wesentlich beim Verfahren bzw. Halbleiterspeicher gemäß der Erfindung ist, daß die zu testenden Speicherzellen in einer ersten Speicherbank angeordnet sind, die auf dem Chip zu speichernden Fehlerdaten in Speicherzellen einer zweiten, anderen Speicherbank zwischengespeichert werden. Dem liegt die Überlegung zugrunde, daß Speicherbanken selbständig und unabhängig voneinander betreibbare Bereiche eines Speichers sind und daher die Fehler in verschiedenen Speicherbanken als voneinander unabhängig angesehen werden können. Insbesondere pflanzen sich Zeilen- und Spaltenfehler nicht von einer Speicherbank in eine andere Speicherbank fort. Dies liegt daran, daß Speicherbanken Adressdekoder und Schreib-/Leseverstärker aufweisen, die nur auf Speicherzellen eben dieser Speicherbank zugreifen. Bitleitungen und Wortleitungen innerhalb einer Speicherbank verlaufen ausschließlich nur innerhalb eben dieser Speicherbank. Wenn Werte der Bit-Fail-Map in einer Speicherbank durch dort vorliegende Fehler verfälscht werden, kann normalerweise davon ausgegangen werden, daß die gleichen Speicherzellen in einer anderen Speicherbank nicht fehlerhaft sind.

Besonders vorteilhaft ist, wenn die Bit-Fail-Map mindestens dreifach, im allgemeinen ungeradzahlig vielfach in jeweiligen unterschiedlichen Speicherbanken abgespeichert wird. Eine Verfälschung einer Kopie der Bit-Fail-Map in einer Speicherbank wird aller Wahrscheinlichkeit nach nicht in einer anderen Speicherbank an derselben Stelle auftreten. Mittels einer Mehrheitsentscheidung, die auf entsprechende, von der gleichen zu testenden Speicherzelle stammenden Werte von verschiedenen Kopien der Bit-Fail-Map aus verschiedenen Speicherbanken angewandt wird, wird die korrekte Fehlerinformation zurückerhalten.

Verschiedene Speicherbanken arbeiten unabhängig voneinander. In herkömmlichen Speicherarchitekturen kann im gleichen Zeittakt auf verschiedene Speicherbanken gleichzeitig zugegriffen werden. Für die Abspeicherung mehrerer Kopien der Bit-Fail-Map in verschiedenen Speicherbanken reicht daher ein Zugriffszyklus aus. Während der Abspeicherung der Bit-Fail-Map kann bereits in der zu testenden Speicherbank eine weitere Speicherzelle (oder je nach Organisation des Tests auch Gruppe von Speicherzellen) getestet werden, deren Testergebnis im anschließenden Zugriffszyklus wiederum in den verschiedenen Speicherbanken abgespeichert wird. Da die Bit-Fail-Map iterativ ermittelt wird und mehrfach während des Testverfahrens geschrieben und gelesen wird, ergibt sich ein erheblicher Zuwachs an Testgeschwindigkeit gegenüber dem in der DE 197 25 581 A1 beschriebenen Verfahren.

Nachfolgend wird die Erfindung anhand des in der Zeichnung dargestellten Ausführungsbeispiels näher beschrieben. Es zeigen:

Fig. 1 ein Blockdiagramm eines Halbleiterspeichers mit vier Speicherbanken und einer erfindungsgemäßen Testeinrichtung,

Fig. 2 ein Blockschaltbild einer je einer der Speicherbanken zugeordneten Zugriffssteuerungseinrichtung und

Fig. 3 einen Ausschnitt mit relevanten Details aus einer Speicherbank.

Der in Fig. 1 dargestellte Halbleiterspeicher umfaßt vier Speicherbanken 1, 2, 3, 4. Die vier Speicherbanken arbeiten in bezug auf Speicherzugriffe unabhängig voneinander. Allen-

falls Schaltungen zum Datentransfer zum oder vom Halbleiterchip werden gemeinsam benutzt. Für den Funktionstest des Halbleiterspeichers nach dessen Herstellung ist eine Testeinrichtung 5 vorgesehen, die den Testablauf steuert. Jeder der Speicherbänke ist eine Bankauswahlschaltung 11, 21, 31 bzw. 41 zugeordnet, durch die der Datentransfer zwischen den Speicherbänken und der Testeinrichtung 5 sowie zwischen den Speicherbänken während des Tests untereinander gesteuert wird. Hierzu erzeugt die Testeinrichtung ein Signal TMS, welches anzeigt, daß sich der Halbleiterspeicher im Testmodus befindet und ein 2 Bit umfassendes Signal BS, welches eine Bankadresse ist. Darüber hinaus liegt ein Bus für ein Datensignal A vor, welches einen während des Tests einer Speicherbank in deren Speicherzellen einzuschreibenden Datenwert und den anschließenden auszulesenden Datenwert führt. Außerdem liegen ein Bus für ein 3 Bit umfassendes Signal B vor, welche drei Kopien einer Fehlerinformation für eine getestete Speicherzelle darstellen. Diese Fehlerinformation wird in die anderen drei gerade nicht getesteten Speicherbänke eingelesen oder zur weiteren Verarbeitung von dort wieder ausgelesen.

Der Test des Halbleiterspeichers läuft wie folgt ab. Zuerst werden die Speicherzellen der Speicherbank 1 getestet, indem in jede Speicherzelle mittels des Signals A ein vorgegebener Datenwert geschrieben wird. Der geschriebene vorgegebene Datenwert wird aus den Speicherzellen als Signal A wiederum ausgelesen, der Testeinrichtung 5 zugeführt und mit dem vormals eingeschriebenen vorgegebenen Datenwert als Sollwert verglichen. Bei Übereinstimmung von ausgelesenem Datenwert und eingeschriebenem Sollwert wird festgestellt, daß die jeweilige Speicherzelle ordnungsgemäß funktioniert. Dieses Testergebnis wird dreifach in den anderen Speicherbänken 2, 3, 4 abgelegt, zweckmäßigerweise in jeweils denjenigen Speicherzellen der Speicherbänke 2, 3, 4, deren relative Adresse derjenigen Adresse der in der Speicherbank 1 gerade getesteten Speicherzelle entspricht. Die Vergleichsergebnisse werden parallel dreifach zwischengespeichert. Dies wird für alle Speicherzellen der Speicherbank 1 wiederholt, so daß in den anderen Speicherbänken 2, 3, 4 je eine Fehlermatrix für das Speicherzellenfeld der Speicherbank 1 vorliegt, eine sogenannte Bit-Fail-Map. Im weiteren Verlauf des Tests wird für den vorgegebenen in die Speicherzellen der Speicherbank 1 einzuschreibenden Datenwert das invertierte bisherige Datum verwendet, wobei die Bit-Fail-Map aktualisiert wird, indem in jeder der Speicherbänke 2, 3, 4 der bisherige Wert der Bit-Fail-Map ausgelesen wird und in der Testeinrichtung 5 mit der neu erhaltenen Fehlerinformation ODER-verknüpft und anschließend zurückgespeichert wird. Anschließend können unter Anwendung weiterer Testalgorithmen die Speicherzellen mit vorgegebenen Datenwerten beschrieben werden, die anschließend ausgelesen und mit den vorgegebenen Werten verglichen werden, um die Bit-Fail-Map weiter zu aktualisieren. Dadurch werden bestimmte Fehlertypen im Speicherzellenfeld 1 ermittelt. Am Ende des Tests wird die in der Bit-Fail-Map enthaltene Fehlerinformation weiterverarbeitet, um die in der Speicherbank 1 als defekt festgestellten Speicherzellen mit dort vorhandenen redundanten Speicherzellen zu ersetzen. Hierzu werden die in den Speicherbänken 2, 3, 4 zwischengespeicherten drei Kopien der Bit-Fail-Map ausgelesen und in der Testeinrichtung 5 miteinander verglichen. Es wird festgestellt, welcher Bitwert der drei zu testenden Speicherzelle gehörenden Kopien der Fehlerinformation in den Bit-Fail-Maps am häufigsten auftritt. Dieser durch Mehrheitsentscheidung erhaltene Datenwert für die Fehlerinformation wird einer Redundanzanalyse zugeführt, die ermittelt, welche defekten Speicherzellen durch redundante Speicherzellen zu ersetzen sind. Her-

kömmlicherweise sind nicht einzelne Speicherzellen ersetzbar, sondern nur größere Abschnitte von Zeilen oder Spalten, so daß die Redundanzanalyse eine Optimierung daraufhin durchführt, daß durch den begrenzten Vorrat an redundanten Zeilen und Spalten möglichst alle defekten Speicherzellen repariert werden.

Wenn die Bit-Fail-Map in den Speicherbänken 2, 3, 4 abgespeichert wird, sind diese Speicherbänke noch ungetestet und können ihrerseits fehlerhafte Speicherzellen enthalten. Es kann aber – wie in Fig. 3 noch detaillierter erläutert wird – angenommen werden, daß die in den Speicherbänken 2, 3, 4 auftretenden Fehler unabhängig voneinander sind. Wenn daher ein Datenwert der Bit-Fail-Map beispielsweise in der Speicherbank 2 durch eine fehlerhafte Speicherzelle, in der er gespeichert wird, verfälscht ist, werden die anderen beiden Kopien dieses Datenwertes der Bit-Fail-Map in den Speicherbänken 3, 4 aller Wahrscheinlichkeit nach nicht fehlerhaft sein. Der korrekte Datenwert der Bit-Fail-Map wird erhalten, indem aus den drei in den Speicherbänken 2, 3, 4 abgelegten zusammengehörenden Kopien dieses Datenwertes derjenige ausgewählt wird, welcher am häufigsten auftritt.

Es genügt prinzipiell, die Bit-Fail-Map einfach in einer anderen als der getesteten Speicherbank abzuspeichern, um eine Erhöhung der Zuverlässigkeit des Tests zu erreichen. Durch eine mehrfache, vorzugsweise ungeradzahlige, mindestens dreifache Kopie der Bit-Fail-Map in jeweils verschiedenen Speicherbänken und anschließende Mehrheitsentscheidung wird die Zuverlässigkeit des Tests wie oben beschrieben weiter erhöht.

Am Beginn des Tests sind alle Speicherbänke noch ungetestet und können fehlerhafte Speicherzellen erhalten. Nachdem die erste Speicherbank getestet wurde und defekte Speicherzellen repariert sind, ist noch nicht überprüft, ob die Reparatur fehlerfrei durchgeführt wurde oder ob die redundante Speicherzelle voll funktionsfähig ist. Beim Test der nächsten Speicherbank wird daher vorzugsweise die Bit-Fail-Map wiederum in dreifacher Kopie in den anderen Speicherbänken zwischengespeichert.

Die Redundanzanalyse kann in einem Testautomaten außerhalb des Chips durchgeführt werden. Hierzu komprimiert die Testeinrichtung 5 unter Anwendung der Mehrheitsentscheidung die dreifachen Kopien der Bit-Fail-Map zu einer einzigen Bit-Fail-Map und gibt diese an den Testautomaten aus. Zur Redundanzkorrektur steuert der Testautomat einen Laser oder einen Programmierstrom, durch den mittels Laser oder mittels hohem Strom programmierbare Elemente, sogenannte Fuses, auf dem Chip programmiert werden, um defekte Speicherzellen durch redundante Speicherzellen zu ersetzen. Alternativ dazu kann die Redundanzanalyse auch auf dem Chip in der Testeinrichtung 5 abgearbeitet werden, so daß nur noch die Information darüber, welche Speicherzellen zu ersetzen sind, an den Testautomaten ausgegeben wird. Die Testeinrichtung 5 kann als sequentielle Schaltung oder in Form von Software und Firmware eines Testprozessors realisiert werden.

Eine der Blockauswahlschaltungen 11, 21, 31, 41 ist in Fig. 2 im Detail dargestellt. Die Blockauswahlschaltung ist mit einem Ein- und Ausgang DQ für ein Datensignal der zugeordneten Speicherbank 1, 2, 3 bzw. 4 verbunden. Der Datenanschluß DQ ist mit dem Ausgang eines Multiplexers 12 und dem Eingang eines Demultiplexers 13 verbunden. Die Eingänge des Multiplexers und die Ausgänge des Demultiplexers sind jeweils mit den Signalleitungen für das Signal A und die drei Bits B1, B2, B3 des Signals B verbunden. Durch das Signal TMS werden Multiplexer 12 und Demultiplexer 13 in den Testzustand versetzt. Über die zwei Bits BS1, BS2 der Bankadresse BS werden Multiplexer 12 und

Demultiplexer 13 bei einem Zugriff auf die Speicherbank aktiviert. Hierzu wird die Bankadresse BS1, BS2 einem Subtrahierer 14 zugeführt. Dieser subtrahiert von der Bankadresse die durch die Einrichtung 15 bereitgestellte jeweilige individuelle Nummer der Bank. Wenn Bankadresse und Banknummer übereinstimmen, ermittelt der Subtrahierer 14 den Wert 0, so daß der Datenanschluß DQ der Speicherbank über Multiplexer 12 und Demultiplexer 13 mit der Leitung für das Signal A verbunden wird. Dann kann ein vorgegebener Datenwert in eine Speicherzelle der Speicherbank eingeschrieben oder der zuvor eingeschriebene Datenwert ausgelesen werden. Wenn der Subtrahierer 14 feststellt, daß Bankadresse BS und Banknummer verschieden sind, wird der Datenanschluß DQ der Speicherbank über Multiplexer 12 und Demultiplexer 13 mit je einer der Signalleitungen B1, B2 oder B3 des Signals B verbunden. Dann wird in die Speicherbank einer der Werte B1, B2 oder B3 der Bit-Fail-Map geschrieben oder von ihr ausgelesen. Mit Ausnahme unterschiedlicher, von der Einrichtung 15 bereitgestellter Banknummern wird die gleiche Bankauswahlschaltung für alle vier Speicherbänke verwendet.

Der prinzipielle Aufbau einer Speicherbank ist in Fig. 3 dargestellt. Die Speicherbank enthält in Zeilen und Spalten angeordnete Speicherzellen, für die die Speicherzellen 105 und 106 beispielhaft dargestellt sind. Eine Zeile ist mittels einer Wortleitung WL aktivierbar. Eine Spalte wird über Bitleitungen ausgewählt. Benachbarte Bitleitungen BL1, dBL1 sind mit einem Schreib-/Leseverstärker 107 verbunden. Eine der Bitleitungen, z. B. BL1, führt die zu speichernde Information nicht invertiert, die andere der Bitleitungen, z. B. dBL1, führt die zu speichernde Information invertiert. Der Schreib-/Leseverstärker 107 verstärkt den in die Speicherzelle 105 oder 106 einzuschreibenden oder von ihr auszulesenden Datenwert. Die Datenwerte werden über jeweilige nicht invertierte Sammelleitungen LDQ bzw. invertierte Sammelleitungen dLDQ und entsprechende weitere Multiplexer und Treiber schließlich auf den Ein- und Ausgangsanschluß DQ geschaltet.

Jeweils eine der Wortleitungen ist durch einen Zeilendekoder 101 aktivierbar. Eine der Bitleitungen wird durch einen Spaltendekoder 102 aktiviert. Für den Ersatz von defekten Speicherzellen durch redundante Speicherzellen ist im Zeilendekoder ein Abschnitt 103, im Spaltendekoder ein Abschnitt 104 vorgesehen. Dort vorhandene Fuses werden entsprechend programmiert, so daß anstelle einer defekten Wort- oder Bitleitungen eine redundante Wort- oder Bitleitung ausgewählt wird. Wesentlich ist, daß die Zeilen- und Spaltendekoder nur Wortleitungen oder Bitleitungen aktivieren können, die innerhalb dieser Speicherbank verlaufen. Weiterhin kennzeichnend für eine Speicherbank ist, daß die Schreib-/Leseverstärker mit Bitleitungen verbunden sind, die nur innerhalb dieser Speicherbank verlaufen.

Wenn ein Fehler an einer Wortleitung oder Bitleitung auftritt oder an den entsprechenden Dekodern oder am Leseverstärker, ist zwar ein Zugriff auf einen wesentlichen oder den gesamten Teil der betroffenen Zeile oder Spalte nicht mehr möglich. Derartige Zeilen- oder Spaltenfehler verlaufen aber nur innerhalb der Speicherbank. Der Fehler setzt sich in einer anderen Speicherbank, etwa in der adressenmäßig entsprechenden Zeile oder Spalte nicht mehr fort. Etwaige Fehler in der anderen Speicherbank können daher als unabhängig von den Fehlern in der ersten Speicherbank angesehen werden. Wenn ein Datenwert in einer Kopie der Bit-Fail-Map durch einen Fehler des Speicherzellenfeldes verfälscht wird, ist mit hoher Wahrscheinlichkeit davon auszugehen, daß ein entsprechender Fehler an der entsprechenden Stelle der anderen Speicherbänke nicht auftritt und daher dort der Datenwert der Bit-Fail-Map nicht verfälscht wird. Die Ab-

speicherung der Bit-Fail-Map in einer anderen als der gerade getesteten Speicherbank erhöht daher die Sicherheit des Speichertests. Besonders vorteilhaft ist, wenn die Bit-Fail-Map mindestens dreifach in jeweils verschiedenen Speicherbänken zwischengespeichert wird und beim Auslesen der Bit-Fail-Map derjenige Datenwert weiterverarbeitet wird, der mit höherer Wahrscheinlichkeit unter den drei Kopien auftritt.

Patentansprüche

1. Verfahren zum Testen eines Halbleiterspeichers, bei dem ein vorgegebener Datenwert (A) in eine Speicherzelle (105, 106) eines ersten Teils (1) von Speicherzellen des Halbleiterspeichers geschrieben wird und der geschriebene Datenwert (A) ausgelesen und mit dem vorgegebenen Datenwert (A) verglichen wird, um einen Datenwert (B) für das Vergleichsergebnis zu ermitteln, bei dem der Datenwert (B) für das Vergleichsergebnis in einer Speicherzelle in einem anderen Teil (2) von Speicherzellen des Halbleiterspeichers zwischengespeichert wird und bei dem der gespeicherte Datenwert (B) für das Vergleichsergebnis wieder ausgelesen wird, um damit eine Redundanzanalyse durchzuführen, bei der defekte Speicherzellen des ersten Teils von Speicherzellen durch redundante Speicherzellen ersetzt werden, **dadurch gekennzeichnet**, daß der erste Teil (1) und der andere Teil (2) von Speicherzellen in verschiedenen Speicherbänken (1, 2) des Speichers angeordnet sind.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Datenwert (B; B1, B2, B3) für das Vergleichsergebnis in mindestens drei Speicherzellen, die in jeweils verschiedenen Speicherbänken (2, 3, 4) angeordnet sind, parallel gespeichert wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß die mindestens drei parallel gespeicherten Datenwerte (B1, B2, B3) des Vergleichsergebnisses ausgelesen werden und daraus mittels einer Mehrheitsentscheidung ein einziger Datenwert ermittelt wird, der in die Redundanzanalyse eingespeist wird.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß jede Speicherbank (1, 2, 3, 4) einen Adreßdekoder (101, 102) zum Auswählen von Speicherzellen (105, 106) umfaßt, durch welchen Speicherzellen nur dieser Speicherbank auswählbar sind.
5. Halbleiterspeicher umfassend:
 - mindestens zwei Speicherbänke (1; 2, 3, 4) mit Speicherzellen (105, 106);
 - eine Testeinrichtung (5); durch die eine Steuerung eines Test des Halbleiterspeichers derart durchführbar ist, daß ein vorgegebener Datenwert (A) in eine Speicherzelle (105, 106) einer ersten Speicherbank (1) einschreibbar ist und der eingeschriebene Datenwert (A) auslesbar und mit dem vorgegebenen Datenwert (A) vergleichbar ist, um einen Datenwert (B) für das Vergleichsergebnis zu ermitteln, daß der Datenwert (B; B1, B2, B3) für das Vergleichsergebnis in einer Speicherzelle einer zweiten Speicherbank (2, 3, 4) zwischengespeicherbar ist und daß der gespeicherte Datenwert (B; B1, B2, B3) für das Vergleichsergebnis wieder auslesbar ist, um damit eine Redundanzanalyse durchzuführen, bei der defekte Speicherzellen der ersten Speicherbank durch redundante Speicherzellen ersetzt werden.
6. Halbleiterspeicher nach Anspruch 5, dadurch gekennzeichnet, daß jede Speicherbank (1, 2, 3, 4) einen

Adreßdekoder (101, 102) zum Auswählen von Speicherzellen (105, 106) umfaßt, durch welchen Speicherzellen nur dieser Speicherbank auswählbar sind.

7. Halbleiterspeicher nach Anspruch 6, dadurch gekennzeichnet, daß mindestens drei Speicherbänke (2, 3, 4), die jeweils Speicherzellen enthalten, vorgesehen sind und daß die Testeinrichtung derart ausgebildet ist, daß der Datenwert (B; B1, B2, B3) für das Vergleichsergebnis in je einer Speicherzelle der drei Speicherbänke (2, 3, 4) parallel speicherbar ist.

8. Halbleiterspeicher nach Anspruch 7, dadurch gekennzeichnet, daß die Testeinrichtung (5) derart ausgebildet ist, daß aus den aus den verschiedenen Speicherbänken (2, 3, 4) ausgelesenen Datenwerten (B; B1, B2, B3) für das Vergleichsergebnis mittels einer Mehrheitsentscheidung ein einziger Datenwert ermittelbar ist, um ihn in die Redundanzanalyse einzuspeisen.

9. Halbleiterspeicher nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, daß jeder Speicherbank (1, 2, 3, 4) eine Umschalteneinrichtung (11, 21, 31, 41) zugeordnet ist, die einen Multiplexer (12) und einen Demultiplexer (13) enthält, daß in die Umschalteneinrichtung (11, 21, 31, 41) jeweils eine Adresse (BS; BS1, BS2) für die Auswahl der Speicherbank (1, 2, 3, 4) einspeisbar ist, daß jeweils ein Ausgang des Multiplexers (12) und ein Eingang des Demultiplexers (13) mit einem Anschluß (DQ) für ein Datensignal der Speicherbank verbunden sind, daß ein Eingang des Multiplexers (12) und ein Ausgang des Demultiplexers (13) jeweils mit einer Signalleitung für den zu speichernden vorgegebenen Datenwert und den daraufhin ausgelesenen Datenwert (A) sowie mit einer Signalleitung für den zu schreibenden und daraufhin ausgelesenen Datenwert (B; B1, B2, B3) für das Vergleichsergebnis verbunden ist.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

FIG 1

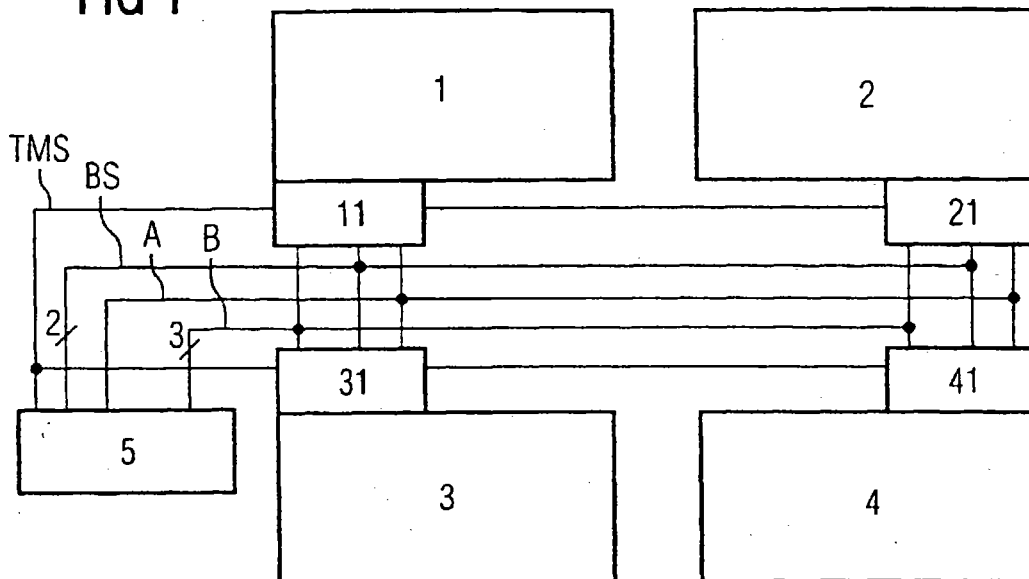


FIG 2

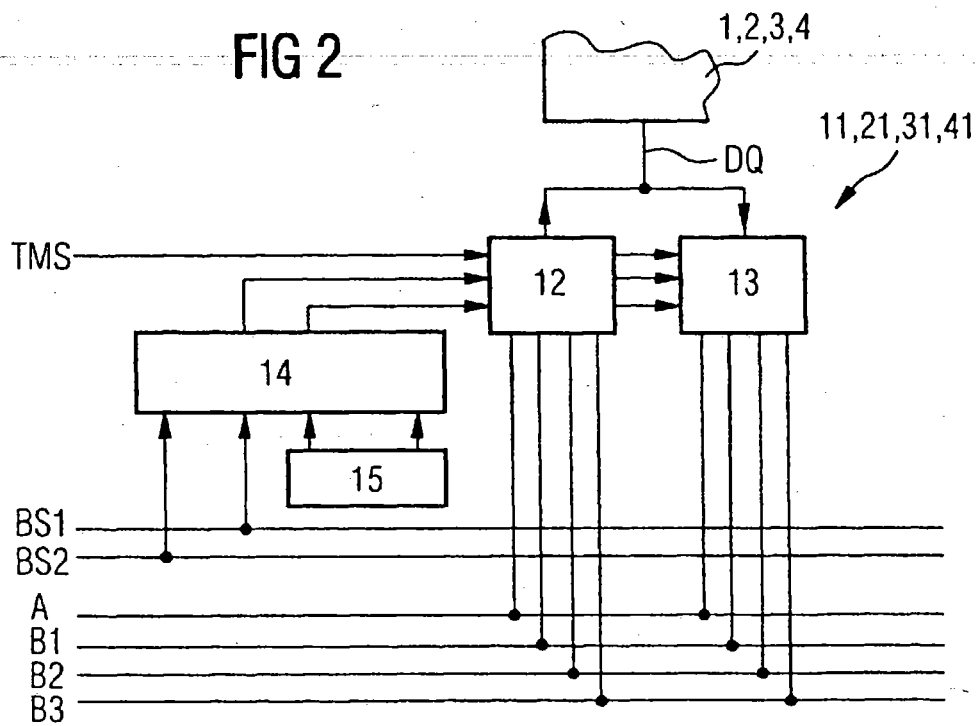
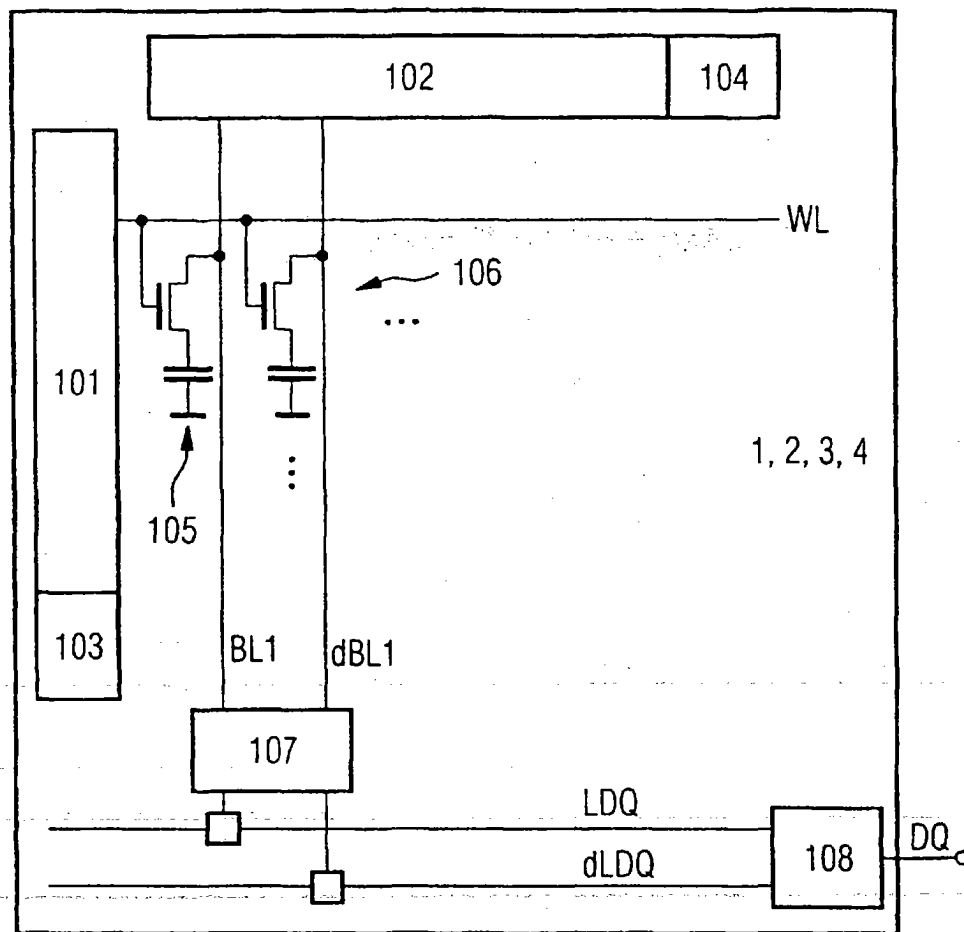


FIG 3



Method of testing a semiconductor memory, and semiconductor memory with a test device

Patent Number: US6539505
Publication date: 2003-03-25
Inventor(s): DAEHN WILFRIED (DE)
Applicant(s): INFINEON TECHNOLOGIES AG (DE)
Requested Patent: DE19922786
Application Number: US20000574702 20000518
Priority Number(s): DE19991022786 19990518
IPC Classification: G11C29/00
EC Classification: G01R31/3193S, G11C29/00B2B8
Equivalents: JP2001023397, TW480494

Abstract

In order to test a semiconductor memory, a bit fail map is generated in that a predetermined data value is written to memory cells and subsequently read out and compared with the data value that has been written. The bit fail map is buffer-stored on the semiconductor memory in a memory bank other than the one that is currently being tested. Reliability of the test method is improved since defects in different memory banks can be regarded as independent of one another. It is advantageous for the bit fail map to be stored three times in different memory banks and for a majority decision to be taken during read-out

Data supplied from the esp@cenet database - I2

:OM TBM 2G

:OM 18/12

:TBA 01/11

AS SHEWEND (MA) 11/11

0842 X08.01

SSCCS ACIROLI (COW) 11/11

0111-222 (222) .111

DOCKET NO: W&B-INF-1850

SERIAL NO: _____

APPLICANT: C. Oulhoff et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100